

**AsahiKASEI**  
ASAHI KASEI EMD

**AK4386**

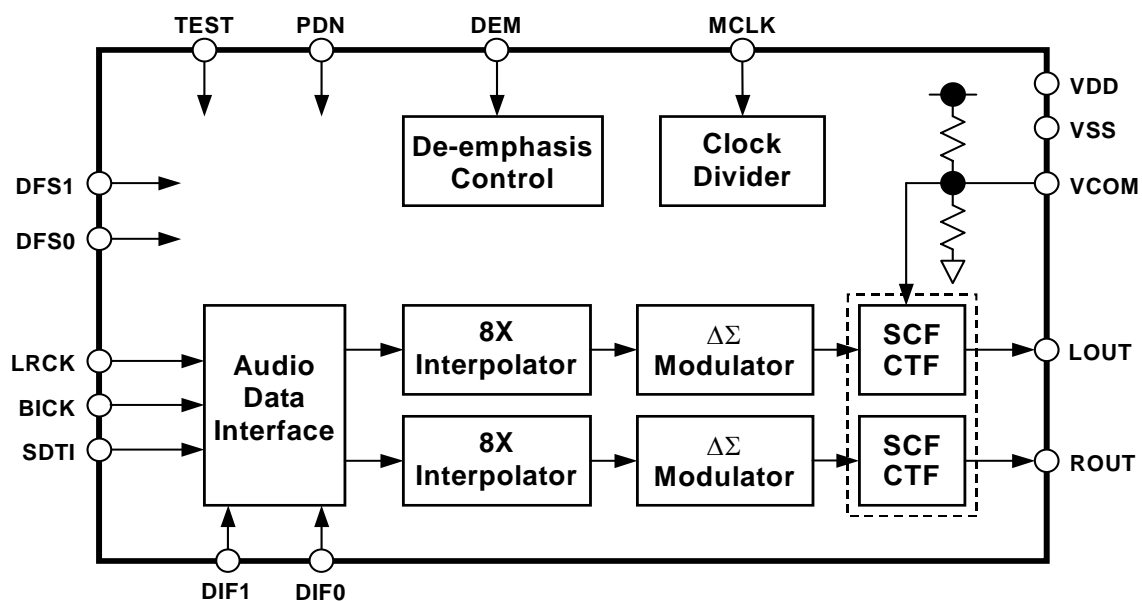
**100dB 96kHz 24-Bit 2ch  $\Delta\Sigma$  DAC**

### 概要

AK4386はデジタルオーディオ用低消費電力24ビットDACです。 $\Delta\Sigma$ 変調器にはワイドダイナミックレンジを実現するアドバンスド・マルチビット方式を採用しており、3V動作においてDR=100dBを達成しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)を採用しており、クロックジッタによる精度の劣化を改善します。AK4386は、MP3や携帯機器等のポータブル機器及びSTB、TV等のホームオーディオ機器に最適です。AK4386は小型16pin TSSOPパッケージにて実装され、基板スペースを削減します。

### 特長

- Sampling Rate: 8kHz ~ 96kHz
- 24-Bit 8 times FIR Digital Filter
- SCF with high tolerance to clock jitter
- Single-ended output buffer
- Digital de-emphasis for 44.1kHz sampling
- I/F Format: 24-Bit MSB justified, 16/24-Bit LSB justified, I<sup>2</sup>S Compatible
- Master Clock:
  - 512/768/1024/1536fs for Half Speed (8kHz ~ 24kHz)
  - 256/384/512/768fs for Normal Speed (8kHz ~ 48kHz)
  - 128/192/256/384fs for Double Speed (48kHz ~ 96kHz)
- CMOS Input Level
- THD+N: -86dB
- DR, S/N: 100dB (@VDD=3.0V)
- Power Supply: 2.2 to 3.6V
- Ta = -20 ~ 85°C (ET), -40 ~ 85°C (VT)
- 16pin TSSOP



## ■ オーダリングガイド

AK4386ET

-20 ~ +85°C

16pin TSSOP (0.65mm pitch)

AK4386VT

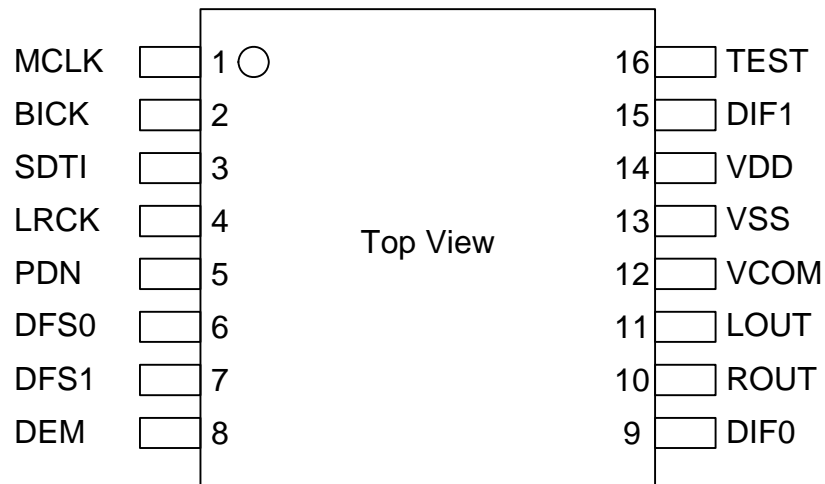
-40 ~ +85°C

16pin TSSOP (0.65mm pitch)

AKD4386

AK4386評価用ボード

## ■ ピン配置



## ピン / 機能

No.	Pin Name	I/O	Function
1	MCLK	I	Master Clock Input Pin
2	BICK	I	Audio Serial Data Clock Pin
3	SDTI	I	Audio Serial Data Input Pin
4	LRCK	I	Input Channel Clock Pin
5	PDN	I	Full Power Down Mode Pin “L” : Power down, “H” : Power up
6	DFS0	I	Sampling Speed Select 0 Pin
7	DFS1	I	Sampling Speed Select 1 Pin
8	DEM	I	De-emphasis Filter Enable Pin “L” : OFF, “H” : ON (De-emphasis of fs=44.1kHz is enable.)
9	DIF0	I	Audio Interface Format 0 Pin
10	ROUT	O	Rch Analog Output Pin
11	LOUT	O	Lch Analog Output Pin
12	VCOM	O	Common Voltage Output Pin, $0.55 \times VDD$ Normally connected to VSS with a $4.7\mu F$ (min. $1\mu F$ , max. $10\mu F$ ) electrolytic capacitor.
13	VSS	-	Ground Pin
14	VDD	-	Power Supply Pin, 2.2 ~ 3.6V
15	DIF1	I	Audio Interface Format 1 Pin
16	TEST	I	Test Pin This pin should be connected to VDD.

Note: All digital input pins should not be left floating.

### ■ 使用しないピンの処理について

使用しない出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	LOUT, ROUT	オープン

## 絶対最大定格

(VSS=0V; Note 1)

Parameter	Symbol	min	max	Units	
Power Supply	VDD	-0.3	4.6	V	
Input Current, Any Pin Except Supplies	IIN	-	±10	mA	
Digital Input Voltage	VIND	-0.3	VDD+0.3	V	
Ambient Temperature (Powered applied)	AK4386ET	Ta	-20	85	°C
	AK4386VT	Ta	-40	85	°C
Storage Temperature	Tstg	-65	150	°C	

Note 1. 電圧は全てグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また、通常の動作は保証されません。

## 推奨動作条件

(VSS=0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	2.2	3.0	3.6	V

Note 1. 電圧は全てグランドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## アナログ特性

(Ta=25°C; VDD=3.0V; VSS=0V; fs=44.1kHz, 96kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data;  
Measurement frequency=20Hz ~ 20kHz at fs=44.1kHz, 20Hz ~ 40kHz at fs=96kHz; unless otherwise specified)

Parameter		min	typ	max	Units	
<b>Dynamic Characteristics:</b>						
Resolution				24	Bits	
THD+N	fs=44.1kHz BW=20kHz	0dBFS		-86	-76	dB
		-60dBFS		-37	-	dB
	fs=96kHz BW=40kHz	0dBFS		-84	-	dB
		-60dBFS		-34	-	dB
DR	(-60dBFS with A-weighted)	92	100		dB	
S/N	(A-weighted)	92	100		dB	
Interchannel Isolation		80	100		dB	
<b>DC Accuracy:</b>						
Interchannel Gain Mismatch			0.2	0.5	dB	
Gain Drift			100	-	ppm/°C	
Output Voltage	(Note 2)	1.85	2.0	2.15	Vpp	
Load Resistance	(Note 3)	10			kΩ	
Load Capacitance				25	pF	
<b>Power Supplies</b>						
Power Supply Current						
Normal Operation (PDN pin = "H", fs=44.1kHz)			6	9	mA	
Normal Operation (PDN pin = "H", fs=96kHz)			6.5	10	mA	
Power Save mode (PDN pin = "H", MCLK Stop)			1.5	2.5	mA	
Full Power-down mode (PDN pin = "L")	(Note 4)		10	50	μA	

Note 2. 出力電圧のフルスケール(0dB)。VDD電圧に比例します。Vout = 0.67 × VDD (typ)。

Note 3. AC負荷に対する値です。

Note 4. 全てのデジタル入力ピンをVDDまたはVSSに固定した時の値です。

### フィルタ特性

(Ta=25°C; VDD=2.2 ~ 3.6V; fs=44.1kHz; DEM=OFF)

Parameter	Symbol	min	typ	max	Units
<b>DAC Digital Filter:</b>					
Passband (Note 5)	±0.05dB -6.0dB	PB	0	22.05	20.0 kHz
			-		-
Stopband (Note 5)		SB	24.1		kHz
Passband Ripple		PR		±0.01	dB
Stopband Attenuation		SA	64		dB
Group Delay (Note 6)		GD	-	24.0	1/fs
<b>Digital Filter + SCF + CTF:</b>					
Frequency Response	0 ~ 20kHz	FR	-	±0.5	dB
	~ 40kHz (Note 7)		-	±1.0	dB

Note 5. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

Note 6. デジタルフィルタによる遅延演算で、データが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

Note 7. fs=96kHz時。

### DC特性

(Ta=25°C; VDD=2.2 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70%VDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%VDD	V
Input Leakage Current	Iin	-	-	±10	μA

## スイッチング特性

(Ta=25°C; VDD=2.2 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
<b>Master Clock Frequency</b>					
Half Speed Mode (512/768/1024/1536fs)	fCLK	4.096		36.864	MHz
Normal Speed Mode (256/384/512/768fs)	fCLK	2.048		36.864	MHz
Double Speed Mode (128/192/256/384fs)	fCLK	6.144		36.864	MHz
Duty Cycle	dCLK	40		60	%
<b>LRCK Frequency</b>					
Half Speed Mode (DFS1-0 = "10")	fsh	8		24	kHz
Normal Speed Mode (DFS1-0 = "00")	fsn	8		48	kHz
Double Speed Mode (DFS1-0 = "01")	fsd	48		96	kHz
Duty Cycle	dCLK	45		55	%
<b>Audio Interface Timing</b>					
BICK Period					
Half Speed Mode	tBCK	1/128fs			ns
Normal Speed Mode	tBCK	1/128fs			ns
Double Speed Mode	tBCK	1/64fs			ns
BICK Pulse Width Low					
	tBCKL	70			ns
Pulse Width High					
	tBCKH	70			ns
BICK "↑" to LRCK Edge (Note 8)	tBLR	40			ns
LRCK Edge to BICK "↑" (Note 8)	tLRB	40			ns
SDTI Hold Time	tSDH	40			ns
SDTI Setup Time	tSDS	40			ns
<b>Power-Down &amp; Reset Timing</b>					
PDN Pulse Width (Note 9)	tPD	4 × C			ms

Note 8. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

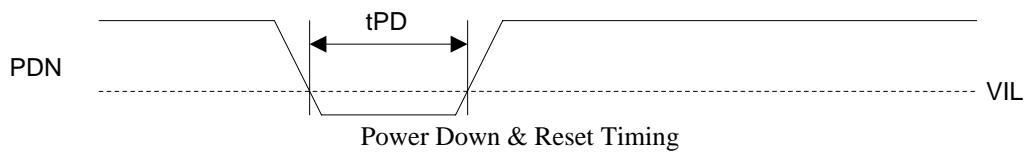
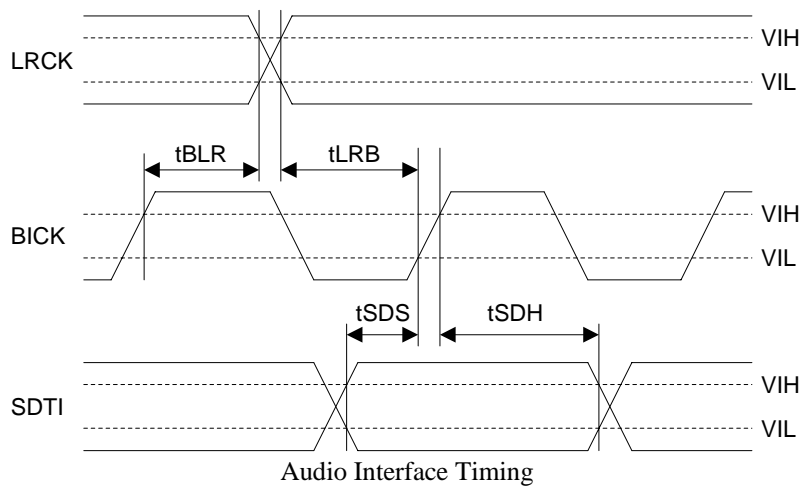
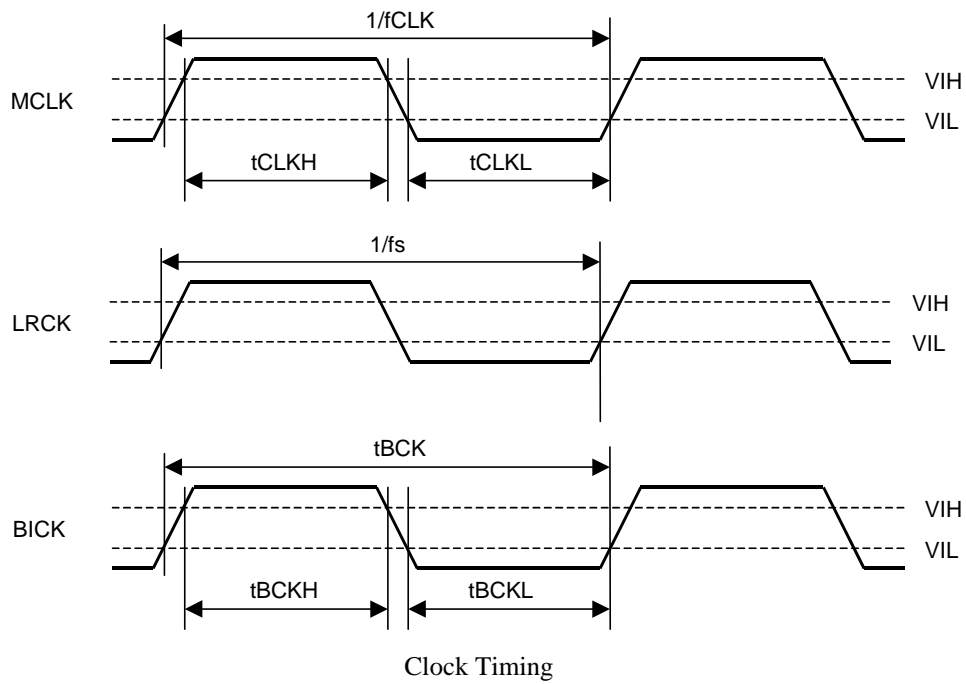
Note 9. AK4386はPDN pin = “L”でリセットされます。

パルス幅はVCOM pinに接続されるコンデンサの容量値(C)に比例します。tPD = 4 × C.

4.7μF時にはtPDはmin. 19msとなります。

VCOM pinに接続するコンデンサの容量は1μF ≤ C ≤ 10μFとして下さい。

DIF1-0 pinを切り替えた場合は、PDN pinでリセットして下さい。

**■ タイミング波形**




## 動作説明

### ■ システムクロック

AK4386に必要なクロックは、MCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが、位相を合わせる必要はありません。MCLKはインターポレーションフィルタと $\Delta\Sigma$ 変調器に使用されます。MCLK周波数は入力されるMCLKとLRCKの関係から内部で自動検出されます。また、DFS1-0 pinでHalf speedモード、Normal speedモード及びDouble speedモードを選択します([Table 1](#))。Autoモード(DFS1 pin = DFS0 pin = “H”)の場合には、サンプリングスピードモードはMCLK周波数により自動設定されます([Table 2](#))。

動作時(PDN pin = “H”)にMCLKが止まった場合には、AK4386はパワーセーブモードになり自動的に内部パワーダウンが行われ、アナログ出力はVCOM電圧を出力します。MCLKを再入力後、パワーダウンが解除されます。電源投入後等のリセット解除時(PDN pin = “L” → “H”)は、MCLK, LRCKが入力されるまでパワーダウン状態です。

動作中にDIF1-0 pinを切り替えた場合は、PDN pinでリセットして下さい。

Mode	DFS1	DFS0	fs	MCLK Frequency
Normal Speed	L	L	8 ~ 48kHz	256/384/512/768fs
Double Speed	L	H	48 ~ 96kHz	128/192/256/384fs
Half Speed	H	L	8 ~ 24kHz	512/768/1024/1536fs
Auto	H	H	8 ~ 96kHz	<a href="#">Table 2</a>

Table 1. System Clock Example

MCLK Frequency	Sampling Speed Mode	fs
512/768fs	Normal Speed	8 ~ 48kHz
128/192/256/384fs	Double Speed	48 ~ 96kHz
1024/1536fs	Half Speed	8 ~ 24kHz

Table 2. Auto Mode

### ■ オーディオインタフェースフォーマット

4種類のデータフォーマットがDIF1-0 pinの設定([Table 3](#))によりで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりでラッチされます。Mode 3を16ビットで使用する場合には、BICK  $\geq$  48fsにしてデータのないLSBには“0”を入力するか、もしくはBICK = 32fsにして下さい。

Mode	DIF1	DIF0	SDTI Format	BICK	Figure
0	L	L	16bit, LSB justified	$\geq$ 32fs	<a href="#">Figure 1</a>
1	L	H	24bit, LSB justified	$\geq$ 48fs	<a href="#">Figure 2</a>
2	H	L	24bit, MSB justified	$\geq$ 48fs	<a href="#">Figure 3</a>
3	H	H	16/24bit, I <sup>2</sup> S Compatible	$\geq$ 48fs or 32fs	<a href="#">Figure 4</a>

Table 3. Audio Interface Format

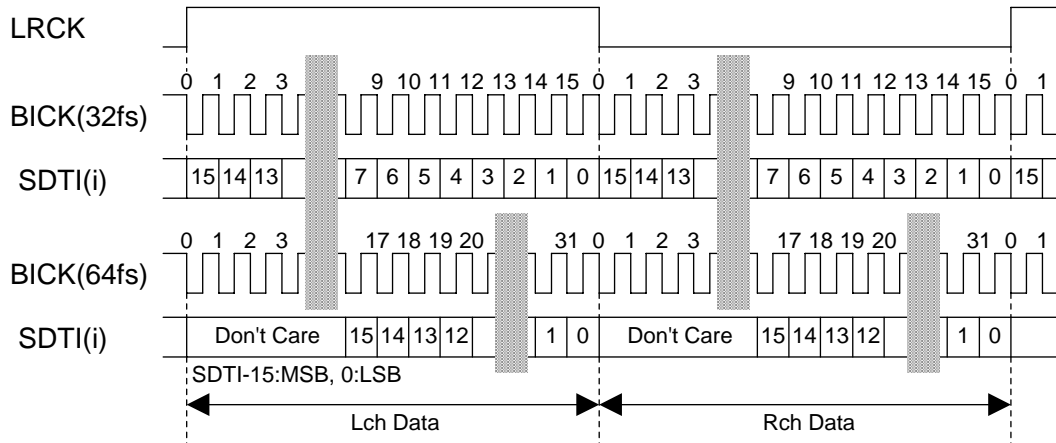


Figure 1. Mode 0 Timing

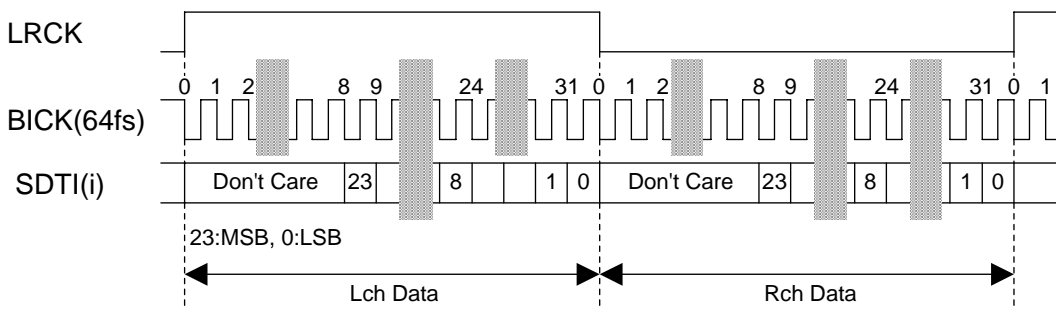


Figure 2. Mode 1 Timing

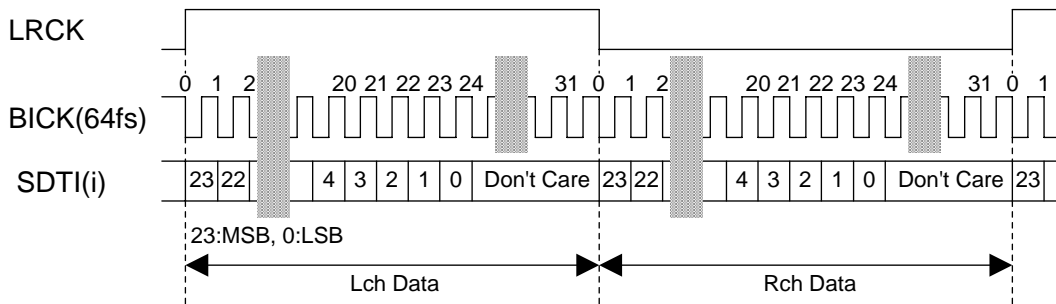


Figure 3. Mode 2 Timing

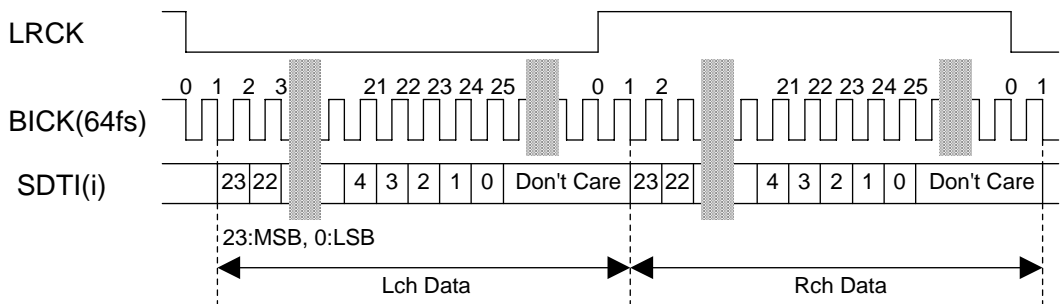


Figure 4. Mode 3 Timing

## ■ ディエンファシスフィルタ

IIRフィルタによる $f_s=44.1\text{kHz}$ 対応のディエンファシスフィルタ( $50/15\mu\text{s}$ 特性)を内蔵しています。入力データに対してDEM pin = “H”が選択された時、ディエンファシスフィルタが有効になります。Half Speed, Double Speed Mode時は、ディエンファシスフィルタはOFFです。

Mode	DFS1 pin	DFS0 pin	DEM pin	De-emphasis Filter
Normal Speed	L	L	L	OFF
	L	L	H	ON
Double Speed	L	H	*	OFF
Half Speed	H	L	*	OFF
Auto	H	H	L	OFF
	H	H	H	ON (Note)

Table 4. De-emphasis Filter (\*: Don't care)

Note. Normal speed時、 $f_s=44.1\text{kHz}$ 対応のディエンファシスフィルタが有効になります。  
Half Speed, Double Speed Mode時は、ディエンファシスフィルタはOFFです。

## ■ パワーダウン機能

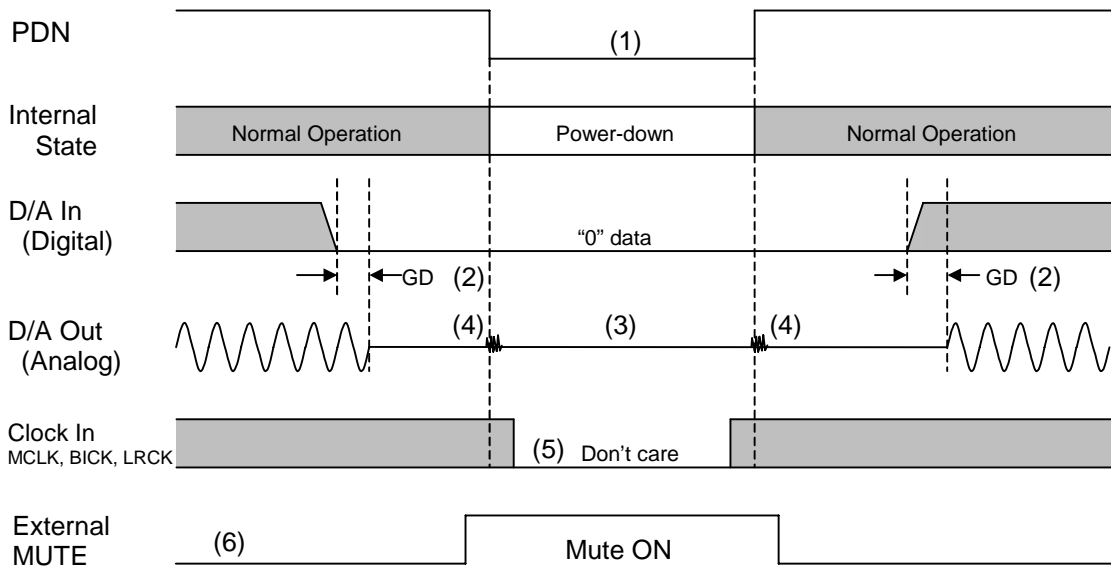
AK4386はPDN pinを“L”にすることでパワーダウンモードにできます。この時、同時にデジタルフィルタがリセットされます。このリセットは電源投入時に必ず一度行って下さい。

AK4386はPDN pin = “L”時、DAC出力はHi-Zになります。また、動作中(PDN pin = “H”)にMCLKが止まった場合には、自動的に内部パワーダウンが行われ、アナログ出力はVCOM電圧を出力します。MCLKを止める場合には、“H”または“L”に固定して下さい。

Mode	PDN pin	MCLK	DAC Output	State
0	L	Don't care	Hi-Z	Full Power Down
1	H	Supplied	Normal Output	Normal
2		Not Supplied	VCOM Voltage	Power Save

Table 5. Power down mode

## (1) PDN pinによるパワーダウン

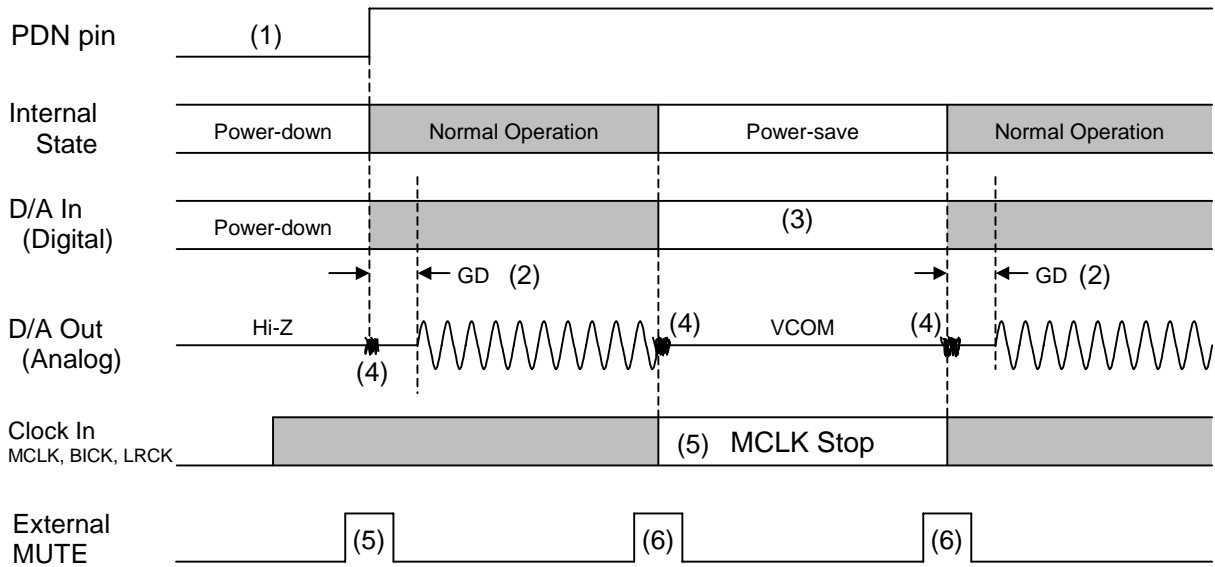


## Notes:

- (1) 19ms以上の間、PDN pinを“L”にして下さい。  
(VCOM pinとVSS間に4.7 $\mu$ Fのコンデンサをつけた場合。)
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) アナログ出力はHi-Zになります。
- (4) PDN信号のエッジ(“ $\uparrow$ ”/“ $\downarrow$ ”)から3~4LRCK以内にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (5) パワーダウン状態(PDN pin = “L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (6) クリックノイズ(4)が問題になる場合は、アナログ出力を外部でミュートして下さい。

Figure 5. Power-down/up sequence example 1

## (2) MCLK停止によるパワーセーブ (PDN pin = "H")



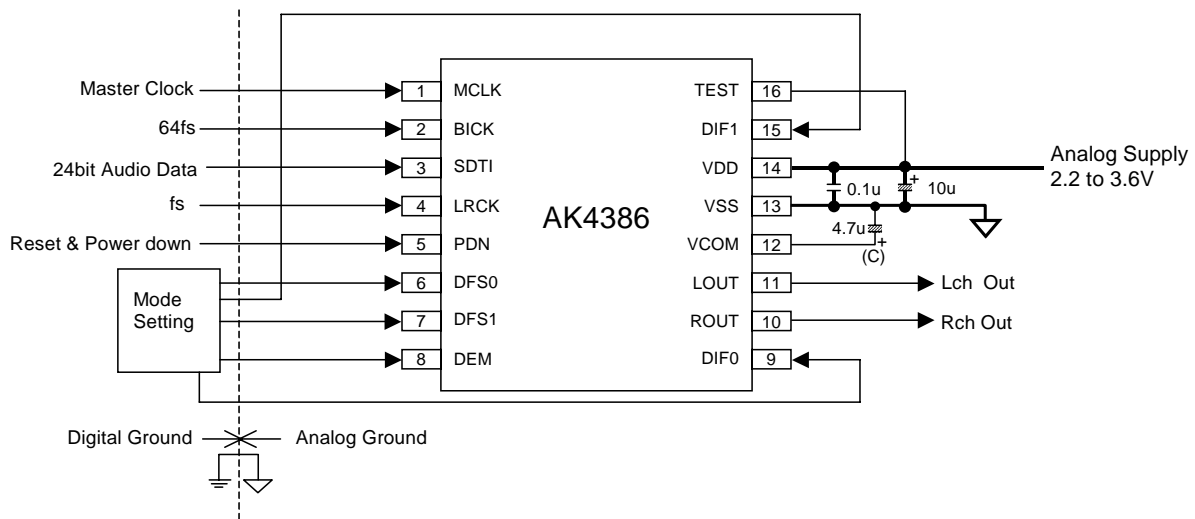
## Notes:

- (1) 電源投入後、19ms以上の間、PDN pinを“L”にして下さい。(VCOM pinとVSS間に4.7μFのコンデンサをつけた場合。)
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) デジタルデータの入力を止めることができます。この区間に“0”データを入力しておくことで、MCLK再入力後のポツ音を軽減できます。
- (4) PDN pinのエッジ(“↑”)及びMCLKの入力/停止から3~4LRCK以内にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (5) パワーセーブ状態(MCLK停止)では各クロック入力(BICK, LRCK)を止めることができます。
- (6) クリックノイズ(4)が問題になる場合は、アナログ出力を外部でミュートして下さい。

Figure 6. Power-down/up sequence example 2

## システム設計

Figure 7はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4386)を参照して下さい。



注:

- AK4386のVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- LOUT/ROUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- VCOMには1 $\mu$ F以上10 $\mu$ F以下のコンデンサをつけて下さい。
- 全てのデジタル入力ピンはオープンにしないで下さい。

Figure 7. Typical Connection Diagram

### 1. グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常、VDDにはシステムのアナログ電源を低インピーダンスで供給して下さい。システムのグラウンドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

### 2. 基準電圧

VDDとVSSの電位差がアナログ出力レンジを設定します。VCOMはアナログ信号のコモン電圧として使われます。このピンには4.7 $\mu$ F程度の電解コンデンサをVSSとの間に接続して下さい。VCOM pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

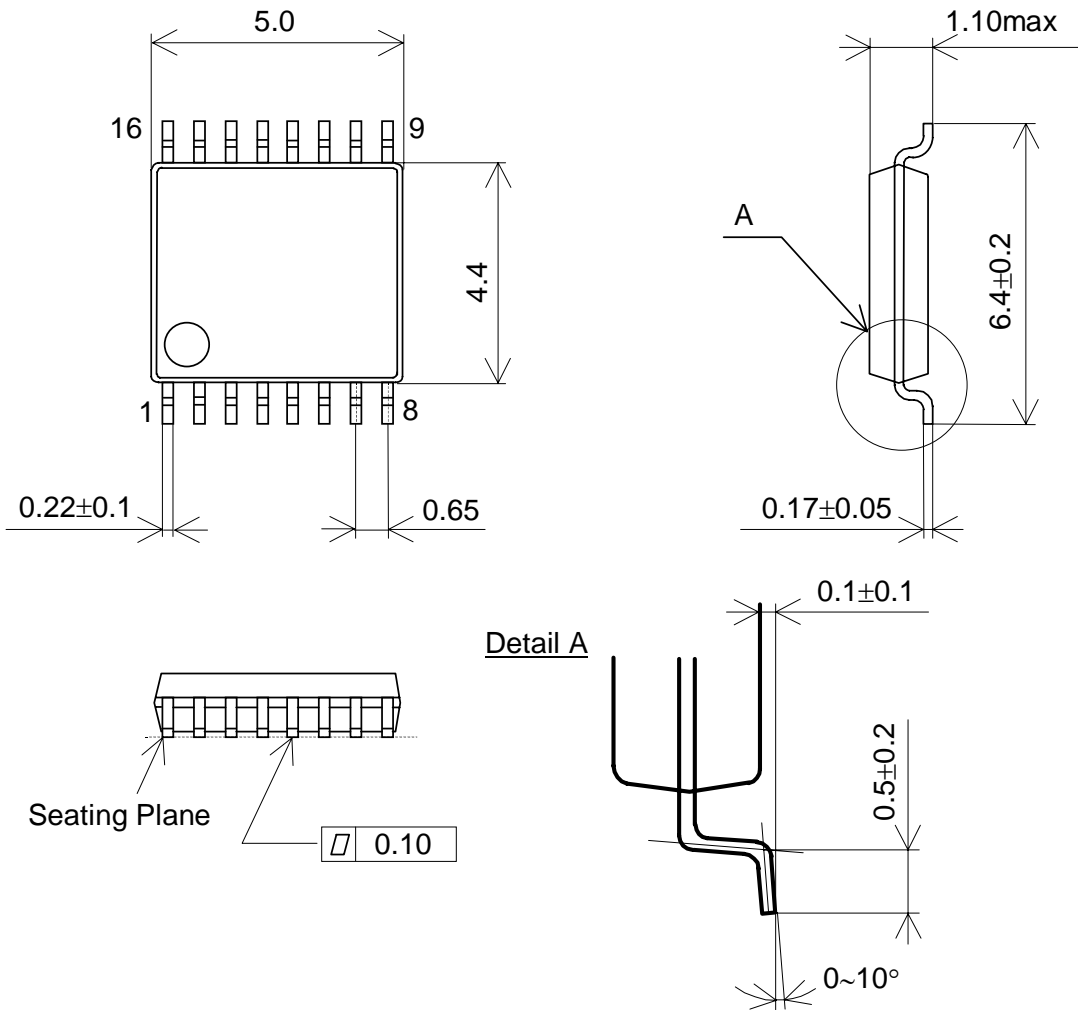
### 3. アナログ出力

AK4386のアナログ出力はシングルエンド出力になっており、出力レンジはVCOM電圧( $0.55 \times VDD$ )を中心に2.0V<sub>pp</sub>(typ@VDD=3.0V)です。内蔵の $\Delta\Sigma$ 変調器が発生するシェーピングノイズは内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で減衰されます。入力コードのフォーマットは2'sコンプリメント(2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧( $0.55 \times VDD$ )が出力されます。

アナログ出力は、VCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

パッケージ

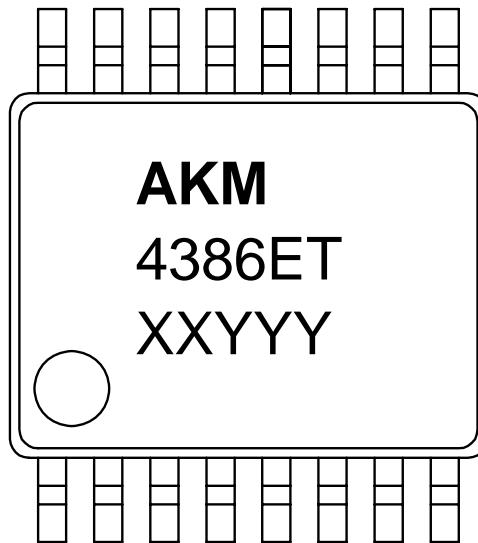
16pin TSSOP (Unit: mm)



■ Material & Lead finish

Package molding compound:	Epoxy
Lead frame material:	Cu
Lead frame surface treatment:	Solder (Pb free) plate

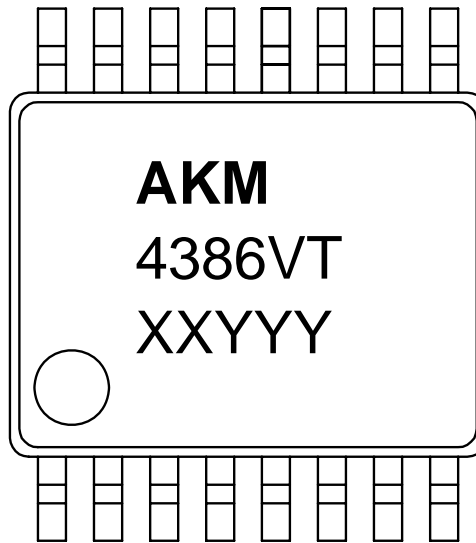
## マーキング(AK4386ET)



- 1) Pin #1 indication
- 2) Date Code : XXYYYY (5 digits)  
XX: Lot#  
YYY: Date Code
- 3) Marketing Code : 4386ET



## マーキング(AK4386VT)



- 4) Pin #1 indication
- 5) Date Code : XXYYYY (5 digits)  
XX: Lot#  
YYY: Date Code
- 6) Marketing Code : 4386VT

## 改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
03/12/01	00	初版		
08/10/23	01	製品追加		AK4386ETを追加。 VT版とET版のデータシートを統合。

## 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。